

BEST AVAILABLE COPY
PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-241445
(43)Date of publication of application : 28.08.1992

(51)Int.Cl. H01L 23/50
H01L 23/12

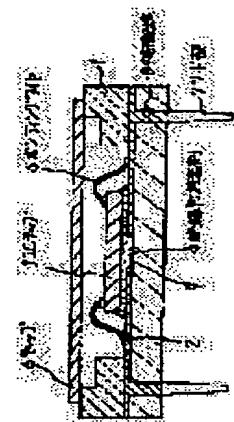
(21)Application number : 03-003013 (71)Applicant : NEC CORP
(22)Date of filing : 16.01.1991 (72)Inventor : CHATANI MASAO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To eliminate the need of changing the size of a bonding stitch even when the size of an IC chip is changed by providing the bonding stitch on a die attach.

CONSTITUTION: A bonding stitch 2 and die attach 9 are put in the same plane and the bonding stitch 2 is extended to the vicinity of the die attach 9. After an IC chip 3 is stuck onto the die attach 9 and bonding stitch 2 of a ceramic package with an insulating bonding agent 4, the pad of the IC chip 3 and the bonding stitch outside the sticking area are bonded to each other with bonding wires 5 and sealed with a cap 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-241445

(43)公開日 平成4年(1992)8月28日

(51)Int.Cl.⁵
H 01 L 23/50
23/12

識別記号 U 8418-4M
府内整理番号
7352-4M

F I

技術表示箇所

H 01 L 23/12

W

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平3-3013

(22)出願日 平成3年(1991)1月16日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 茅谷 雅夫

東京都港区芝五丁目7番1号日本電気株式
会社内

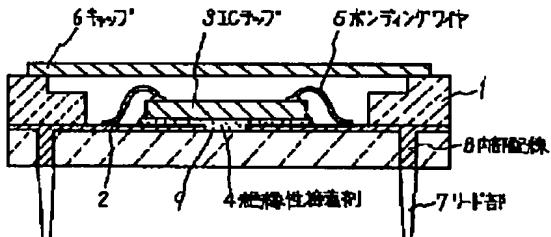
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【構成】ダイアタッチ9上に接着剤4で固着された半導体チップ3を設ける。チップ3上のパッドと、外部リードに電気的に接続されたボンディングステッチ2とを接続するワイヤ5を設ける。ボンディングステッチ2は、ダイアタッチ9上に設けられる。

【効果】半導体チップ3のサイズが変更されても、セラミックケース1がそのまま使用できる。



1

【特許請求の範囲】

【請求項1】 ダイアタッチ上に接着剤で固着された半導体チップと、前記チップ上のパッドと外部リードに電気的に接続されたポンディングステッチとを接続するポンディングワイヤとを備えた半導体集積回路装置において、前記ポンディングステッチは前記ダイアタッチ上に設けられていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置に関し、特にセラミックICケースに関する。 10

【0002】

【従来の技術】 従来のセラミックICパッケージは、図4、図5に示すように、セラミックケース部11、ポンディングステッチ12、ダイアタッチ19、内部配線18、リード部17、キャップ16などで構成され、ICチップ13をダイアタッチ19に金-シリコン合金又は銀ペースト等の様な導電性接着剤10で接着し、ICチップ13のパッドとケースのポンディングステッチ12とをポンディングワイヤ15で結線している。ここで、ダイアタッチ19とポンディングステッチ12との間に段があり、ポンディングステッチ12が一段高くなっている構造であり、ダイアタッチ19とポンディングステッチ12とが別々の領域に分けられていた。

【0003】

【発明が解決しようとする課題】 このような従来のセラミックICパッケージでは、ICチップ13をマウントする。ダイアタッチ19に対し、ポンディングステッチ12が1段高くなりさらに外側に位置する為、ポンディングステッチ12のポンディング可能な領域が小さくなり、チップサイズの小さいICではポンディングステッチ12とICチップ13のパッドとの距離が遠くなり、たれさがったりして、不良品となる可能性が非常に高くなる為、組立可能なチップサイズが非常に限られる。従って、さまざまな形のICペレットに対し、そのつどICパッケージを新たに開発するか、ICペレットの系に制限を加えるかが必要となり、開発期間が長くなったり、コストが上ったりするという問題点があった。

【0004】 本発明の目的は、前記問題点が解決され、ICチップのサイズが変更になっても、ポンディングステッチの寸法を変更せずに済むようにした半導体集積回路装置を提供することにある。

【0005】

【課題を解決するための手段】 本発明の構成は、ダイアタッチ上に接着剤で固着された半導体チップと、前記チップ上のパッドと外部リードに電気的に接続されたポンディングステッチとを接続するポンディングワイヤとを備えた半導体集積回路装置において、前記ポンディングステッチは前記ダイアタッチ上に設けられていることを特徴とする。

50

2

【0006】

【実施例】 図1は本発明の一実施例のセラミックケースからキャップを除去した状態を示す平面図、図2は本発明の一実施例のセラミックケースを示す断面図である。

【0007】 図1、図2において、本実施例は、セラミックケース1、ポンディングステッチ2、ICチップ3、絶縁性接着剤4、ポンディングワイヤ5、キャップ6、リード部7、内部配線8、ダイアタッチ9を含み、構成される。

【0008】 本実施例の半導体集積回路装置に使用するセラミックパッケージは、従来のセラミックパッケージの様なダイアタッチ19とポンディングステッチ12を分ける段差を無くし、従来ポンディングステッチ12としていた部分も、ダイアタッチ9と同じ平面とする。また、ポンディングステッチ2はダイアタッチ9と同一平面上に置かれ、ダイアタッチ9の中心付近までポンディングステッチ2を延ばす。

【0009】 セラミックパッケージのダイアタッチ9及びポンディングステッチ2上に、ICチップ3を絶縁性接着剤4で接着した後、ICチップ3のパッドと接着領域外のポンディングステッチ2とをワイヤ5でポンディングし、キャップ6で封止する。

【0010】 特に長方形のICチップ3の場合、従来は専用のセラミックケースを開発する必要があったのに対し、本実施例によれば、ポンディングステッチ2がダイアタッチ9の中心付近まで延長されている為、ダイアタッチ9及びポンディングステッチ2上にICチップ3を絶縁性接着剤4で接着した後、接着領域の外側のICチップ3近傍のポンディングステッチ2とワイヤポンディングすれば良く、ポンディングワイヤ5は短かく、ショート等の不良をおこす事はない。

【0011】 図3は、本発明の他の実施例の半導体集積回路装置の断面図である。

【0012】 図3において、本実施例は、セラミックケース21、ポンディングステッチ22、ICチップ23、絶縁性接着剤24、ポンディングワイヤ25、キャップ26、リード部27、内部配線28を含み、構成される。

【0013】 本実施例では、ポンディングステッチ22がダイアタッチ上につくられた溝の中に埋込まれており、ダイアタッチの平坦性を保ち、かつポンディングステッチ22間のショート等を防ぐ上で有効である。

【0014】 以上説明したように、本実施例によれば、ポンディングステッチをダイアタッチ上に直接形成し、特に前記ポンディングステッチが前記ダイアタッチの中心付近まで延長され、ICチップを前記ダイアタッチ及び前記ポンディングステッチ上に絶縁性接着剤で接着した後、前記ICチップと前記ポンディングステッチの絶縁性接着剤で被覆されていない領域とをワイヤポンディングする事を特徴とする。

3

【0015】

【発明の効果】以上説明したように、本発明は、従来のセラミックケースのダイアタッチとボンディングステッチの間の段差をとりのぞき、ダイアタッチとボンディングステッチを略同一平面にしたから、マウント可能な面積が大幅に広くなり、さらにボンディングワイヤの長さを長くする事無く一定に保てるし、各種の大きさ、形のICチップに対して容易に対応できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体集積回路装置の内部状態を示す平面図である。

【図2】本発明の一実施例の断面図である。

【図3】本発明の他の実施例の断面図である。

4

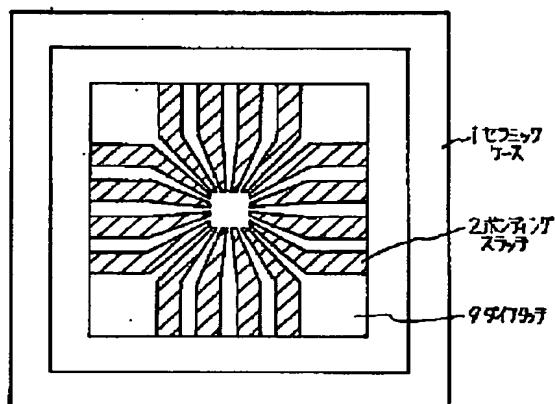
【図4】従来のセラミックパッケージ内部を示す平面図である。

【図5】図4のパッケージの断面図である。

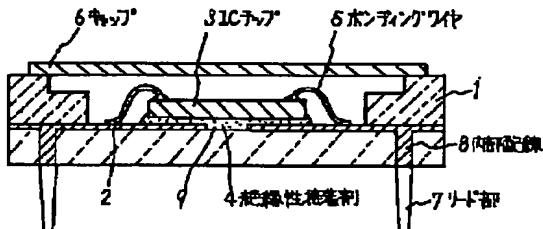
【符号の説明】

1, 11, 21	セラミックパッケージ
2, 12, 22	ボンディングステッチ
3, 13, 23	ICチップ
4, 24	絶縁性接着剤
5, 15, 25	ボンディングワイヤ
6, 16, 26	キャップ
7, 17, 27	リード部
8, 18, 28	内部配線
9, 19, 29	ダイヤタッチ
10	導電性接着剤

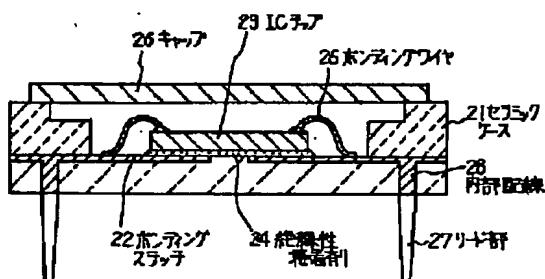
【図1】



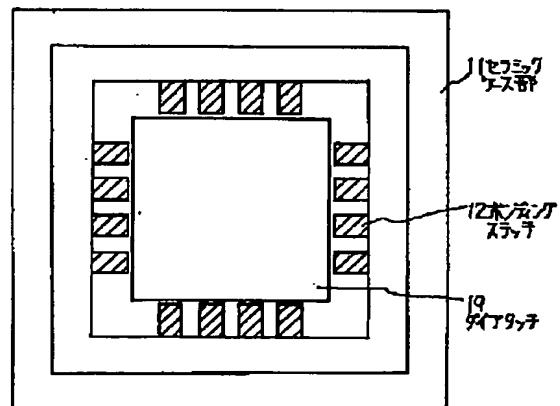
【図2】



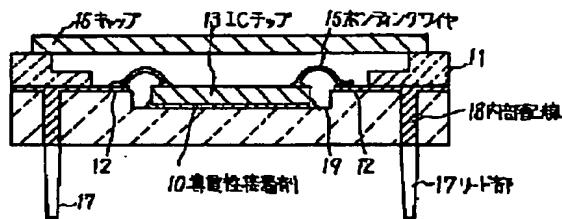
【図3】



【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.